



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: 2818

Examiner: Unassigned

In Re PATENT APPLICATION Of:

Applicants : Tsutomu HIGUCHI)

Serial No. : 10/648,376)

Filed : August 27, 2003)

For : SEMICONDUCTOR MEMORY)
DEVICE)

Attorney Ref. : OKI 370)

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-250181, filed August 29, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,

Steven M. Rabin (Reg. No. 29,102)
RABIN & BERDO, P.C.
(Customer No. 23995)
Telephone: (202) 371-8976
Telefax: (202) 408-0924

December 1, 2003

Date

SMR:tlc

FEE ENCLOSED:\$
Please charge any further
fee to our Deposit Account
No. 18-0002

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月29日

出 願 番 号
Application Number:

特願2002-250181

[ST.10/C]:

[JP2002-250181]

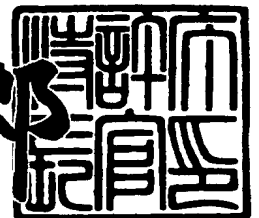
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3105324

【書類名】 特許願

【整理番号】 MA001394

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02
G11C 17/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 樋口 勉

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 それぞれがメモリセルアレイ及びその制御回路を含む複数のメモリバンクと、

前記複数のメモリバンクに共通のインターフェース回路と
を有し、

前記複数のメモリバンクからのデータの読み出し及び前記複数のメモリバンクにおけるデータの書き換えを行う半導体記憶装置であって、

前記読み出しを行う動作モードにおいて、

(A 1) 前記インターフェース回路が、前記複数のメモリバンクにアクティブ状態のリードイネーブル信号を出力し、

(A 2) 前記インターフェース回路が、前記複数のメモリバンクに読み出し対象となるメモリセルを特定するアドレス情報を出力し、

(A 3) 前記複数のメモリバンクのそれぞれが、入力された前記アドレス情報で特定されたメモリセルのデータを読み出し、読み出されたデータを出力データ群として前記インターフェース回路に出力し、

(A 4) 前記インターフェース回路が、前記複数のメモリバンクから出力された複数の出力データ群のいずれかを選択的に外部に出力し、

前記書き換えを行う動作モードにおいて、

(B 1) 前記インターフェース回路が、前記複数のメモリバンクに書き換え対象となるメモリセルを特定するアドレス情報を出力し、

(B 2) 前記インターフェース回路が、外部からの入力データ群を前記複数のメモリバンクに出力し、

(B 3) 前記インターフェース回路が、前記複数のメモリバンクのいずれかに選択的にアクティブ状態のライトイネーブル信号を出力し、

(B 4) 前記複数のメモリバンクの中の、アクティブ状態のライトイネーブル信号が入力されたメモリバンクが、前記アドレス情報で特定されたメモリセルのデータを前記入力データ群のデータに書き換える

ことを特徴とする半導体記憶装置。

【請求項 2】 前記複数のメモリバンクの中の、アクティブ状態のライトイネーブル信号が入力されたメモリバンクは、前記処理（B 4）の期間中であることを示すビジー信号を出力することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記インターフェース回路は、前記複数のメモリバンクの少なくとも一つからビジー信号を受信している期間中は、ライトイネーブル信号をアクティブ状態にしないことを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記インターフェース回路は、前記複数のメモリバンクの少なくとも一つからビジー信号を受信している期間中であっても、ビジー信号を出力していないメモリバンクにアクティブ状態のライトイネーブル信号を出力することを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 5】 前記複数のメモリバンクのテストモードにおいて、

（C 1） 前記インターフェース回路が、前記複数のメモリバンクに書き換え対象であるメモリセルを特定するアドレス情報を出力し、

（C 2） 前記インターフェース回路が、外部からの入力データ群を前記複数のメモリバンクに出力し、

（C 3） 前記インターフェース回路が、前記複数のメモリバンクにアクティブ状態のライトイネーブル信号を出力し、

（C 4） 前記複数のメモリバンクが、前記アドレス情報で特定されたメモリセルのデータを前記入力データ群のデータに書き換える

ことを特徴とする請求項 1 から 4 までのいずれかに記載の半導体記憶装置。

【請求項 6】 前記複数のメモリバンクのテストモードにおいて、

（D 1） 前記インターフェース回路が、前記複数のメモリバンクに書き換え対象となるメモリセルを特定するアドレス情報を出力し、

（D 2） 前記インターフェース回路が、外部からの入力データ群を前記複数のメモリバンクに出力し、

（D 3） 前記インターフェース回路が、前記複数のメモリバンクのいずれかにアクティブ状態のライトイネーブル信号を出力し、

(D4) 前記複数のメモリバンクの中の、アクティブ状態のライトイネーブル信号が入力されたメモリバンクが、前記アドレス情報で特定されたメモリセルのデータを前記入力データ群のデータに書き換え、

前記インターフェース回路は、前記複数のメモリバンクの少なくとも一つからビジー信号を受信している期間中であっても、ビジー信号を出力していないメモリバンクにアクティブ状態のライトイネーブル信号を出力する

ことを特徴とする請求項2に記載の半導体記憶装置。

【請求項7】 前記インターフェース回路が、

前記複数のメモリブロックの一つを選択するバンクアドレスを出力するインターフェースコアブロックと、

前記読み出しを行う動作モードにおいて、前記バンクアドレスに基づいて前記複数のメモリバンクから出力された複数の出力データ群の一つを選択して出力するセレクト素子と、

前記書き込みを行う動作モードにおいて、前記バンクアドレスに基づいて前記複数のメモリバンクの一つを選択し、選択されたメモリバンクにアクティブ状態のライトイネーブル信号を出力するライトイネーブル信号制御回路と

を有し、

前記処理(A1)、(A2)、(B1)及び(B2)は、前記インターフェースコアブロックにより行われ、

前記処理(A3)は、前記セレクト素子によって行われ、

前記処理(B3)は、前記ライトイネーブル信号制御回路によって行われる

ことを特徴とする請求項1から4までのいずれかに記載の半導体記憶装置。

【請求項8】 前記インターフェース回路が、

前記複数のメモリブロックの一つを選択するバンクアドレスを出力するインターフェースコアブロックと、

前記読み出しを行う動作モードにおいて、前記バンクアドレスに基づいて前記複数のメモリバンクから出力された複数の出力データ群の一つを選択して出力するセレクト素子と、

前記書き込みを行う動作モードにおいて、前記バンクアドレスに基づいて前記

複数のメモリバンクの一つを選択し、選択されたメモリバンクにアクティブ状態のライトイネーブル信号を出力するライトイネーブル信号制御回路と

を有し、

前記処理 (A 1)、(A 2)、(B 1)、(B 2)、(C 1) 及び (C 2) は、前記インターフェースコアブロックにより行われ、

前記処理 (A 3) は、前記セレクト素子によって行われ、

前記処理 (B 3) 及び (C 3) は、前記ライトイネーブル信号制御回路によって行われる

ことを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 9】 前記インターフェース回路が、

前記複数のメモリブロックの一つを選択するバンクアドレスを出力するインターフェースコアブロックと、

前記読み出しを行う動作モードにおいて、前記バンクアドレスに基づいて前記複数のメモリバンクから出力された複数の出力データ群の一つを選択して出力するセレクト素子と、

前記書き込みを行う動作モードにおいて、前記バンクアドレスに基づいて前記複数のメモリバンクの一つを選択し、選択されたメモリバンクにアクティブ状態のライトイネーブル信号を出力するライトイネーブル信号制御回路と

を有し、

前記処理 (A 1)、(A 2)、(B 1)、(B 2)、(D 1) 及び (D 2) は、前記インターフェースコアブロックにより行われ、

前記処理 (A 3) は、前記セレクト素子によって行われ、

前記処理 (B 3) 及び (D 3) は、前記ライトイネーブル信号制御回路によって行われる

ことを特徴とする請求項 6 に記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば、フラッシュモジュールのような半導体記憶装置に関するも

のである。

【 0 0 0 2 】

【従来の技術】

図 8 は、従来のフラッシュモジュールの構成を概略的に示すブロック図である。図 8 に示される従来のフラッシュモジュールは、1 個のフラッシュメモリ FM 1 と、1 個のインターフェース回路 I F 4 とから構成されている。また、このフラッシュモジュールは、例えば、システム L S I に内蔵され、MCU（メモリ制御ユニット：Memory Control Unit）のプログラムコードを記憶する。

【 0 0 0 3 】

図 8 に示されるように、フラッシュメモリ FM 1 は、メモリセルアレイ MC 1 ～MC 4 と、Xデコーダブロック XD 1 ～XD 4 と、Yデコーダブロック YD 1 ～YD 4 と、Yゲートブロック YG 1 ～YG 4 と、データレジスタブロック DR 1 ～DR 4 と、コントロールブロック C 1 と、セクタアドレス入力バッファ SA B と、Yアドレス入力バッファ Y A B と、データ入力バッファ D I B と、データ出力バッファ D O B とを有する。

【 0 0 0 4 】

図 8 に示されるように、インターフェース回路 I F 4 には、フラッシュモジュールの外部入力信号 I F I N が入力される。また、インターフェース回路 I F 4 は、外部出力信号 I F O U T を出力する。さらに、インターフェース回路 I F 4 は、ライトイネーブル信号 W E B、リードイネーブル信号 R E B、セクタアドレス群 S A、Yアドレス群 Y A、及び入力データ群 D I をフラッシュメモリ FM 1 に出力する。また、インターフェース回路 I F 4 には、フラッシュメモリ FM 1 からフラッシュメモリ FM 1 が書き換え動作中であることを示すビジー信号 B U S Y 及び出力データ群 D O が入力される。インターフェース回路 I F 4 は、R O Mライター、L S I テスタ、C P U モード、シリアルモードにおける各動作を可能にし、それぞれのモードにおいてフラッシュモジュール外からの信号を変換してフラッシュメモリ FM 1 を動作させる。

【 0 0 0 5 】

図 9 は、図 8 に示される従来のフラッシュモジュールにおけるデータの読み出

し動作を説明するためのタイミングチャートである。図9に示されるように、初期状態においてセクタアドレス群SA及びYアドレス群YAは任意のアドレスを選択しており、リードイネーブル信号REBは電源電位V_{dd}であり、出力データ群DOは接地電位V_{ss}である。読み出し動作の際には、ライトイネーブル信号WEBは電源電位V_{dd}に保持され、ビジー信号BUSYは接地電位V_{ss}に保持され、入力データ群DIは電源電位V_{dd}又は接地電位V_{ss}のいずれでもよい。

【0006】

図9に示されるように、リードイネーブル信号REBが接地電位V_{ss}（即ち、アクティブ状態）になると（時点t₄₁）、セクタアドレス群SA及びYアドレス群YAで選択されている任意アドレスのデータがメモリセルから読み出され、出力データ群DOとしてインターフェース回路IF4に出力される（時点t₄₂）。次に、セクタアドレス群SA及びYアドレス群YAにより選択されるアドレスが切り換わると（時点t₄₃）、新しく選択されたアドレスのデータがメモリセルから読み出され、出力データ群DOとしてインターフェース回路IF4に出力される（時点t₄₄）。時点t₄₃から時点t₄₄までの動作と同様の動作を繰り返すことによってメモリセルからデータが連続的に読み出される。リードイネーブル信号REBが電源電位V_{dd}（即ち、非アクティブ状態）になると（時点t₄₅）、出力データ群DOは接地電位V_{ss}になり、読み出し動作が終了する（時点t₄₆）。

【0007】

図10は、図8に示される従来のフラッシュモジュールにおけるデータの書き換え動作を説明するためのタイミングチャートである。ここではセクタ単位（1ワード線単位）のメモリセルのデータの書き換え動作について説明する。書き換え動作は、データレジスタブロックDR1～DR4のラッチ回路にデータを送るデータロードと、データレジスタブロックDR1～DR4にラッチされたデータを選択されたセクタのメモリセルに書き込む動作からなる。なお、書き換え動作において、メモリセルアレイMC1～MC4は同時に動作し、XデコーダブロックXD1～XD4は同時に動作し、YデコーダブロックYD1～YD4は同時に

動作し、YゲートブロックY G 1～Y G 4は同時に動作し、データレジスタブロックD R 1～D R 4は同時に動作する。

【 0 0 0 8 】

図 1 0 に示されるように、初期状態においてライトイネーブル信号W E B は電源電圧V d d であり、ビジー信号B U S Y は接地電位V s s であり、セクタアドレス群S A 及びYアドレス群Y A は任意のアドレスを選択しており、入力データ群D I は任意のデータである。また、書き換え動作に際しては、リードイネーブル信号R E B は電源電位V d d に保持される。次に、セクタアドレス群S A が書き換えを実行するセクタ（ワード線）のアドレスに切り換わり、Yアドレス群Y A が最初にデータをロードするデータレジスタブロックD R 1～D R 4 のラッチ回路のアドレスに切り換わる（時点t 5 1）。セクタアドレス群S A はロード期間中、この状態を保持する。

【 0 0 0 9 】

ライトイネーブル信号W E B が接地電位V s s （即ち、アクティブ状態）になると、この立ち下がリエッジで目的のデータレジスタブロックD R 1～D R 4 のラッチ回路が選択され、また入力データ群D I がラッチ回路へロードするデータになる（時点t 5 2）。次に、ライトイネーブル信号W E B が電源電位V d d になると、このライトイネーブル信号W E B の立ち上がりエッジで入力データ群D I のデータが目的のデータレジスタブロックD R 1～D R 4 のラッチ回路に取り込まれる（時点t 5 3）。次に、Yアドレス群Y A が2番目にデータをロードするデータレジスタブロックD R 1～D R 4 のラッチ回路のアドレスを選択するとういように時点t 5 1 から時点t 5 3 までの動作と同様の動作を全てのデータレジスタブロックD R 1～D R 4 のラッチ回路に対し、例えば、5 1 2 サイクル実行する。

【 0 0 1 0 】

全てのデータレジスタブロックD R 1～D R 4 のラッチ回路へのデータロードが終了すると、フラッシュメモリF M 1 自体が自動的にデータレジスタブロックD R 1～D R 4 のデータをセクタアドレス群S A で選択された全てのメモリセルに対して書き換え動作を開始し、ビジー信号B U S Y が電源電位V d d に切り換

わる。ビジー信号BUSYが電源電位V_{dd}の期間はフラッシュメモリFM1へのアクセスが禁止される（時点t₅₄）。書き換え動作が終了するとビジー信号BUSYが接地電位V_{ss}に切り換わり、フラッシュメモリFM1へのアクセスの禁止が解除され、一連の動作を終了する（時点t₅₅）。

【0011】

【発明が解決しようとする課題】

ところで、上記した従来の半導体記憶装置において記憶容量の規模拡大を図るためには、フラッシュメモリの各メモリセルアレイMC1～MC4のサイズを拡大する方法が考えられる。例えば、各メモリセルアレイMC1～MC4のワード線の本数を512本から1024本に増加する方法である。

【0012】

また、上記した従来の半導体記憶装置において記憶容量の規模拡大を図る他の方法としては、フラッシュメモリに搭載されるメモリセルアレイMC1～MC4の個数を増やす方法も考えられる。例えば、各メモリセルアレイMC1～MC4の個数を、例えば、1個から4個に、又は、4個から8個に増やす方法である。因みに、特開2001-84777公報には、メモリセルアレイ部（この公報においては、制御回路を含まないメモリセルアレイ部を「バンク（BANK）」と称している。）を4個備えたフラッシュメモリが開示されている。

【0013】

しかしながら、上記したいずれの方法も新規にフラッシュメモリを開発する方法（前者はメモリセルアレイのサイズを拡大する方法であり、後者はメモリセルアレイの個数を増やす方法である。）を採用しているので、フラッシュメモリを構成する各構成ブロックの能力やフラッシュメモリのレイアウト等の再設計が必要になる。フラッシュメモリを再設計した場合には、そのインターフェース回路も再設計する必要がある。このため、上記したいずれの方法も、製品開発のために多大な時間を要することになる。

【0014】

また、各メモリセルアレイMC1～MC4のサイズを拡大すると、LSIテストによるフラッシュモジュールの評価時間が増大する。例えば、図8における各



メモリセルアレイMC1～MC4のサイズを（512ワード線）×（512ビット線）から（1024ワード線）×（512ビット線）へ2倍に拡大した新規開発されたメモリモジュールをLSIテストにより評価する場合には、試験時間が従来サイズのメモリモジュールの2倍になってしまう。これは、セクター数（ワード線の数）が2倍に拡大されたメモリモジュールを評価する場合には、ワード線単位で行われる書き換え回数も2倍になり、その結果、LSIテストによるフラッシュモジュールの実質的な書き換え試験時間も2倍になってしまうからである。

【0015】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、メモリセルアレイ及びその制御回路を有するメモリブロックの再設計を不要とし、インターフェース回路に簡単な設計変更を施すだけで、記憶容量の規模拡大を図ることができる半導体記憶装置を提供することにある。

【0016】

また、他の発明の目的は、記憶容量が増大しても試験時間の増大を抑制することができる半導体記憶装置を提供することにある。

【0017】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、それぞれがメモリセルアレイ及びその制御回路を含む複数のメモリバンクと、前記複数のメモリバンクに共通のインターフェース回路とを有し、前記複数のメモリバンクからのデータの読み出し及び前記複数のメモリバンクにおけるデータの書き換えを行う。読み出しを行う動作モードにおいては、（A1）前記インターフェース回路が、前記複数のメモリバンクにアクティブ状態のリードイネーブル信号を出力し、（A2）前記インターフェース回路が、前記複数のメモリバンクに読み出し対象となるメモリセルを特定するアドレス情報を出力し、（A3）前記複数のメモリバンクのそれぞれが、入力された前記アドレス情報で特定されたメモリセルのデータを読み出し、読み出されたデータを入力データ群として前記インターフェース回路に出力し、（A4）前

記インターフェース回路が、前記複数のメモリバンクから出力された複数の出力データ群のいずれかを選択的に外部に出力する。書き換えを行う動作モードにおいては、(B 1) 前記インターフェース回路が、前記複数のメモリバンクに書き換え対象となるメモリセルを特定するアドレス情報を出力し、(B 2) 前記インターフェース回路が、外部からの入力データ群を前記複数のメモリバンクに出力し、(B 3) 前記インターフェース回路が、前記複数のメモリバンクのいずれかに選択的にアクティブ状態のライトイネーブル信号を出力し、(B 4) 前記複数のメモリバンクの中の、アクティブ状態のライトイネーブル信号が入力されたメモリバンクが、前記アドレス情報で特定されたメモリセルのデータを前記入力データ群のデータに書き換える。

【0018】

また、前記複数のメモリバンクの中の、アクティブ状態のライトイネーブル信号が入力されたメモリバンクが、前記処理(B 4)の期間中であることを示すビジー信号を出力し、前記インターフェース回路が、前記複数のメモリバンクの少なくとも一つからビジー信号を受信している期間中であっても、ビジー信号を出力していないメモリバンクにアクティブ状態のライトイネーブル信号を出力するように構成してもよい。

【0019】

さらに、前記複数のメモリバンクのテストモードにおいて、(C 1) 前記インターフェース回路が、前記複数のメモリバンクに書き換え対象であるメモリセルを特定するアドレス情報を出力し、(C 2) 前記インターフェース回路が、外部からの入力データ群を前記複数のメモリバンクに出力し、(C 3) 前記インターフェース回路が、前記複数のメモリバンクにアクティブ状態のライトイネーブル信号を出力し、(C 4) 前記複数のメモリバンクが、前記アドレス情報で特定されたメモリセルのデータを前記入力データ群のデータに書き換えるように構成してもよい。

【0020】

【発明の実施の形態】

第1の実施形態

図 1 は、本発明の第 1 の実施形態に係るフラッシュモジュールの構成を概略的に示すブロック図である。

【 0 0 2 1 】

第 1 の実施形態に係るフラッシュモジュール（半導体記憶装置）は、2 個のフラッシュメモリ（メモリバンク）FM 1 ～ FM 2 と、1 個のインターフェース回路 IF 1 とから構成される。フラッシュメモリ FM 1 及びフラッシュメモリ FM 2 は、同じ構造を持つ。また、第 1 の実施形態に係るフラッシュモジュールは、例えば、システム L S I に内蔵され、MCU のプログラムコードを記憶する。

【 0 0 2 2 】

図 1 に示されるように、フラッシュメモリ FM 1 ～ FM 2 のそれぞれは、メモリセルアレイ MC 1 ～ MC 4 と、X デコーダブロック XD 1 ～ XD 4 と、Y デコーダブロック YD 1 ～ YD 4 と、Y ゲートブロック YG 1 ～ YG 4 と、データレジスタブロック DR 1 ～ DR 4 と、コントロールブロック C 1 と、セクタアドレス入力バッファ SAB と、Y アドレス入力バッファ YAB と、データ入力バッファ DIB と、データ出力バッファ DOB とを有する。

【 0 0 2 3 】

X デコーダブロック XD 1 ～ XD 4 はそれぞれ、メモリセルアレイ MC 1 ～ MC 4 に隣接して配置されている。データレジスタブロック DR 1 ～ DR 4 はそれぞれ、メモリセルアレイ MC 1 ～ MC 4 に隣接して配置されている。Y ゲートブロック YG 1 ～ YG 4 はそれぞれ、データレジスタブロック DR 1 ～ DR 4 に隣接して配置されている。Y デコーダブロック YD 1 ～ YD 4 はそれぞれ、Y ゲートブロック YG 1 ～ YG 4 に隣接して配置されている。

【 0 0 2 4 】

コントロールブロック C 1 には、インターフェース回路 IF 1 から出力されたライトイネーブル信号 WEB 1 （又は WEB 2 ）及びリードイネーブル信号 REB が入力される。コントロールブロック C 1 は、ライトイネーブル信号 WEB 1 （又は WEB 2 ）及びリードイネーブル信号 REB を受け、メモリセルのデータ書き換え、メモリセルのデータ読み出し等を実行する。コントロールブロック C 1 は、入力されたライトイネーブル信号 WEB 1 （又は WEB 2 ）及びリードイ

ネーブル信号 R E B に基づく内部制御信号群 C O を、セクタアドレス入力バッファ S A B、Y アドレス入力バッファ Y A B、データ入力バッファ D I B、及びデータ出力バッファ D O B に出力する。

【 0 0 2 5 】

セクタアドレス入力バッファ S A B には、インターフェース回路 I F 1 から出力されたセクタアドレス群 S A が入力され、コントロールブロック C 1 から出力された内部制御信号群 C O が入力される。セクタアドレス入力バッファ S A B は、入力された内部制御信号群 C O に基づいて制御され、入力されたセクタアドレス群 S A を内部セクタアドレス群 S A B O に変換して X デコーダブロック X D 1 ~ X D 4 に出力する。

【 0 0 2 6 】

Y アドレス入力バッファ Y A B には、インターフェース回路 I F 1 から出力された Y アドレス群 Y A が入力され、コントロールブロック C 1 から出力された内部制御信号群 C O が入力される。Y アドレス入力バッファ Y A B は、入力された内部制御信号群 C O に基づいて制御され、入力された Y アドレス群 Y A を内部 Y アドレス群 Y A B O に変換して Y デコーダブロック Y D 1 ~ Y D 4 に出力する。

【 0 0 2 7 】

データ入力バッファ D I B には、インターフェース回路 I F 1 から出力された入力データ群 D I が入力され、コントロールブロック C 1 から出力された内部制御信号群 C O が入力される。データ入力バッファ D I B は、入力された内部制御信号群 C O に基づいて制御され、入力された入力データ群 D I を内部入力データ群 D I B O に変換して Y ゲートブロック Y G 1 ~ Y G 4 に出力する。

【 0 0 2 8 】

データ出力バッファ D O B には、Y ゲートブロック Y G 1 ~ Y G 4 から出力された入力内部出力データ D O B I が入力され、コントロールブロック C 1 から出力された内部制御信号群 C O が入力される。データ出力バッファ D O B は、入力された内部制御信号群 C O に基づいて制御され、入力内部出力データ群 D O B I を出力データ群 D O 1 (又は D O 2) に変換してインターフェース回路 I F 1 に出力する。

【 0 . 0 2 9 】

メモリセルアレイMC 1～MC 4はそれぞれ、データを記憶するメモリセルがマトリックス状に配置されたものである。メモリセルアレイMC 1～MC 4はそれぞれ、平行に並ぶ5 1 2本のワード線と、これらワード線と交差する方向に平行に並ぶ5 1 2本のビット線と、ワード線及びビット線の交差点のそれぞれに配置されたメモリセルとを有する。ただし、ワード線とビット線の数、上記例に限定されない。また、メモリセルアレイの個数も4個に限定されない。

【 0 0 3 0 】

データレジスタブロックDR 1～DR 4はそれぞれ、書き換え動作のデータロード時にメモリセルに書き込むデータを一時的に格納する。データレジスタブロックDR 1～DR 4はそれぞれ、データを格納するラッチ回路をビット線毎に有する。データレジスタブロックDR 1～DR 4はそれぞれ、格納したデータをビット線を通して選択されたセクタアドレスのメモリセルに伝達することによって、メモリセルに記憶されるデータを書き換える。

【 0 0 3 1 】

YゲートブロックYG 1～YG 4はそれぞれ、ビット線毎に配置され、ビット線とのデータの受け渡しをするトランジスタ群を有する。YゲートブロックYG 1～YG 4はそれぞれ、データ読み出し動作時に選択されたメモリセルのデータを内部出力データ群DOBIとして出力する。YゲートブロックYG 1～YG 4はそれぞれ、書き換え動作のデータロード時に入力データを内部入力データ群DIBOに変換してデータレジスタブロックDR 1～DR 4へ伝達する。

【 0 0 3 2 】

XデコーダブロックXD 1～XD 4には、同一の内部セクタアドレス群SABOが入力される。XデコーダブロックXD 1～XD 4はそれぞれ、内部セクタアドレス群SABOをデコードして、メモリセルアレイMC 1～MC 4のそれぞれにおいて任意のワード線を同時選択する。

【 0 0 3 3 】

YデコーダブロックYD 1～YD 4には、同一の内部Yアドレス群YABOが入力される。YデコーダブロックYD 1～YD 4はそれぞれ、内部Yアドレス群

Y A B O をデコードする。

【 0 0 3 4 】

Y アドレス群 Y A により、Y ゲートブロック Y G 1 ~ Y G 4 のそれぞれにおいて任意の Y ゲートが同時選択され、データレジスタブロック D R 1 ~ D R 4 のそれぞれにおいて任意のラッチ回路が同時選択され、メモリセルアレイ M C 1 ~ M C 4 のそれぞれにおいて任意のビット線が同時選択される。また、セクタアドレス群 S A と Y アドレス群 Y A により任意のメモリセルが選択される。

【 0 0 3 5 】

インターフェース回路 I F 1 は、ROM ライター、L S I テスタ、C P U モード、シリアルモードにおける各動作を可能にし、それぞれのモードにおいてフラッシュモジュール外からの信号を変換してフラッシュメモリ F M 1 又は F M 2 を動作させる。インターフェース回路 I F 1 は、インターフェースコアブロック I C 1 と、ライトイネーブル信号制御回路 W E C 1 と、セレクト素子 S 1 と、セレクト素子 S 2 とを有する。

【 0 0 3 6 】

インターフェースコアブロック I C 1 は、図 8 に示される従来のインターフェース回路 I F 4 に、フラッシュメモリ F M 1 ~ F M 2 のうちの一つのフラッシュメモリを選択するためのバンクアドレス群 B A の出力機能を追加搭載した構成を持つ。インターフェースコアブロック I C 1 は、ライトイネーブル信号制御回路 W E C 1 に、ライトイネーブル信号 W E B 及びバンクアドレス群 B A を出力する。インターフェースコアブロック I C 1 は、出力データ群を選択的に出力するセレクト素子 S 1 及びビジー信号を選択的に出力するセレクト素子 S 2 のそれぞれにバンクアドレス群 B A を出力する。インターフェースコアブロック I C 1 は、フラッシュメモリ F M 1 ~ F M 2 に、リードイネーブル信号 R E B、セクタアドレス群 S A、Y アドレス群 Y A、及び入力データ群 D I を出力する。

【 0 0 3 7 】

インターフェースコアブロック I C 1 には、セレクト素子 S 1 から出力された出力データ群 D O が入力され、セレクト素子 S 2 から出力されたビジー信号 B U S Y が入力される。ビジー信号 B U S Y は、フラッシュメモリ F M 1 又は F M 2

が書き換え動作中であるか否かを示す。また、インターフェースコアブロック IC1 には、フラッシュモジュールへの入力信号である外部入力信号 IFIN が入力される。インターフェースコアブロック IC1 は、フラッシュモジュール出力信号である外部出力信号 IFOUT を出力する。

【0038】

ライトイネーブル信号制御回路 WEC1 は、インバータ素子 INV1～INV3 と、NOR 素子（否定論理和素子）NOR1～NOR2 とから構成されている。ライトイネーブル信号 WEB が NOR 素子 NOR1～NOR2 のそれぞれの入力端子の一方に入力され、バンクアドレス群 BA が NOR 素子 NOR1 の入力端子の他方、及びインバータ素子 INV1 の入力端子に入力されている。また、インバータ素子 INV の出力がノード N1 を介して NOR 素子 NOR2 の入力端子の他方に入力され、NOR 素子 NOR1 の出力がノード N2 を介してインバータ素子 INV2 の入力端子に入力されている。さらに、NOR 素子 NOR2 の出力がノード N3 を介してインバータ素子 INV3 の入力端子に入力され、インバータ素子 INV2 の出力がライトイネーブル信号 WEB1 としてフラッシュメモリ FM1 に入力されている。さらにまた、インバータ素子 INV3 の出力がライトイネーブル信号 WEB2 としてフラッシュメモリ FM2 に入力されている。

【0039】

セレクト素子 S1 の入力端子には、フラッシュメモリ FM1～FM2 からの出力データ群 DO1～DO2 が入力され、セレクト素子 S1 のセレクト端子にはバンクアドレス群 BA が入力される。セレクト素子 S1 は、出力データ群 DO をインターフェースコアブロック IC1 に出力する。セレクト素子 S1 は、バンクアドレス群 BA が接地電位 Vss のときに出力データ群 DO1 を出力データ群 DO として出力し、バンクアドレス群 BA が電源電位 Vdd のときに出力データ群 DO2 を出力データ群 DO として出力する。

【0040】

セレクト素子 S2 の入力端子には、フラッシュメモリ FM1～FM2 からのビジー信号 BUSY1～BUSY2 が入力され、セレクト素子 S2 のセレクト端子には、バンクアドレス群 BA がセレクト端子に入力される。セレクト素子 S2 は

、ビジー信号BUSYをインターフェースコアブロックIC1に出力する。セレクト素子S2は、バンクアドレス群BAが接地電位Vssのときにビジー信号BUSY1をビジー信号BUSYとして出力し、バンクアドレス群BAが電源電位Vddのときにビジー信号BUSY2をビジー信号BUSYとして出力する。

【0041】

図2は、第1の実施形態に係るフラッシュモジュールにおける読み出し動作を説明するためのタイミングチャートである。

【0042】

図2に示されるように、初期状態においてバンクアドレス群BAは接地電位Vssであり、セクタアドレス群SA及びYアドレス群YAは任意のアドレスを選択しており、リードイネーブル信号REBは電源電位Vddであり、出力データ群DO1～DO2及び出力データ群DOは接地電位Vssである。

【0043】

読み出し動作期間（読み出し動作モード）において、ライトイネーブル信号WEBは電源電位Vddであり、ライトイネーブル信号WEB及びライトイネーブル信号WEB1～WEB2は電源電位Vddであり、ビジー信号BUSY1～BUSY2及びビジー信号BUSYは接地電位Vssであり、入力データ群DIは電源電位Vdd又は接地電位Vssのいずれでもよい。

【0044】

次に、リードイネーブル信号REBが接地電位Vssになると（時点t1）、フラッシュメモリFM1～FM2のそれぞれにおいてセクタアドレス群SA及びYアドレス群YAで選択されている任意アドレスのメモリセルのデータが読み出され、出力データ群DO1～DO2として出力される（時点t2）。このときバンクアドレス群BAが接地電位Vssであるので、セレクト素子S1により出力データ群DO1が選択され、出力データ群DO1が出力データ群DOとして出力される。

【0045】

次に、バンクアドレス群BAが電源電位Vddに切り換わり、セクタアドレス群SA及びYアドレス群YAにより選択されるアドレスが切り換わると（時点t

3)、フラッシュメモリFM1～FM2においてそれぞれ新しく選択されたメモリセルのデータが読み出され、出力データ群DO1～DO2として出力される(時点t4)。このとき、バンクアドレス群BAが電源電位Vddであるので、セレクト素子S1により出力データ群DO2が選択され、出力データ群DO2が出力データ群DOとして出力される。時点t3から時点t4までの動作と同様の動作を繰り返すことによって、フラッシュメモリFM1～FM2から連続的にデータが読み出される。

【0046】

その後、リードイネーブル信号REBが電源電位Vddになると(時点t5)、出力データ群DO1～DO2及び出力データ群DOは接地電位Vssになり、読み出し動作が終了する(時点t6)。

【0047】

図3は、第1の実施形態に係るフラッシュモジュールにおける書き換え動作を説明するためのタイミングチャートである。ここではフラッシュメモリFM1の任意アドレスのセクタにおけるメモリセルのデータを書き換えた後、フラッシュメモリFM2の任意アドレスのセクタにおけるメモリセルのデータを書き換える動作を説明する。

【0048】

図3に示されるように、初期状態においてバンクアドレス群BAは電源電位Vddであり、ライトイネーブル信号WEBは電源電圧Vddであり、ビジー信号BUSY1～BUSY2及びビジー信号BUSYは接地電位Vssであり、セクタアドレス群SA及びYアドレス群YAは任意のアドレスを選択しており、入力データ群DIは任意のデータである。また、ノードN1～N3はともに接地電位Vssであり、ライトイネーブル信号WEB1～WEB2はともに電源電位Vddである。書き換え動作期間(書き換え動作モード)中、リードイネーブル信号REBは電源電位Vddに保持される。

【0049】

次に、バンクアドレス群BAがフラッシュメモリFM1を選択するため接地電位Vssに切り換わり、ノードN1が電源電位Vddに切り換わり、セクタアド

レス群 S A が書き換えを実行するセクタ（ワード線）のアドレスに切り換わり、Y アドレス群 Y A が最初にデータをロードするデータレジスタブロック D R 1 ~ D R 4 のラッチ回路のアドレスに切り換わる（時点 t 1 a）。バンクアドレス群 B A 及びセクタアドレス群 S A は、ロード期間中、この状態を保持する。

【 0 0 5 0 】

次に、ライトイネーブル信号 W E B が接地電位 V s s になると、ノード N 2 が電源電位 V d d に切り換わり、ライトイネーブル信号 W E B 1 が接地電位 V s s に切り換わる。このライトイネーブル信号 W E B 1 の立ち下がリエッジでフラッシュメモリ F M 1 の目的のデータレジスタブロック D R 1 ~ D R 4 のラッチ回路が選択され、また、入力データ群 D I がラッチ回路へロードされるデータになる（時点 t 2 a）。次に、ライトイネーブル信号 W E B が電源電位 V d d になると、ノード N 2 が接地電位 V s s、ライトイネーブル信号 W E B 1 が電源電位 V d d に切り換わる。このライトイネーブル信号 W E B 1 の立ち上がりエッジでフラッシュメモリ F M 1 の入力データ群 D I のデータが目的のデータレジスタブロック D R 1 ~ D R 4 にロードされる（時点 t 3 a）。次に、Y アドレス群 Y A が 2 番目にデータをロードするフラッシュメモリ F M 1 のデータレジスタブロック D R 1 ~ D R 4 のラッチ回路のアドレスを選択するというように、時点 t 1 a から時点 t 3 a までの動作と同様の動作を全てのデータレジスタブロック D R 1 ~ D R 4 のラッチ回路に対し、例えば、5 1 2 サイクル実行する。

【 0 0 5 1 】

フラッシュメモリ F M 1 の全てのデータレジスタブロック D R 1 ~ D R 4 のラッチ回路へのデータロードが終了すると、フラッシュメモリ F M 1 自体が自動的にデータレジスタブロック D R 1 ~ D R 4 のデータをセクタアドレス群 S A で選択された全てのメモリセルに対して書き換え動作を開始し、ビジー信号 B U S Y 1 が電源電位 V d d に切り換わり、セレクト素子 S 2 を介してビジー信号 B U S Y が電源電位 V d d に切り換わる（時点 t 4 a）。

【 0 0 5 2 】

ビジー信号 B U S Y が電源電位 V d d の期間はフラッシュメモリ F M 1 ~ F M 2 へのアクセスが禁止される。書き換え動作が終了するとビジー信号 B U S Y 1

が接地電位 V_{ss} に切り換わり、セクタ素子 S_2 を介してビジー信号 $BUSY$ が接地電位 V_{ss} に切り換わり、フラッシュメモリ $FM_1 \sim FM_2$ へのアクセスの禁止が解除され、フラッシュメモリ FM_1 への書き換え動作を終了する（時点 t_{5a} ）。

【0053】

次に、バンクアドレス群 BA がフラッシュメモリ FM_2 を選択するため電源電位 V_{dd} に切り換わり、ノード N_1 が接地電位 V_{ss} に切り換わり、セクタアドレス群 SA が書き換えを実行するセクタ（ワード線）のアドレスに切り換わり、 Y アドレス群 YA が最初にデータをロードするデータレジスタブロック $DR_1 \sim DR_4$ のラッチ回路のアドレスに切り換わるというように、上記した時点 t_{1a} から時点 t_{5a} までの動作（フラッシュメモリ FM_1 への書き換え動作）と同様に、時点 t_{1b} から t_{5b} までの動作（フラッシュメモリ FM_2 に対して書き換え動作）を実行する。

【0054】

以上説明したように、第1の実施形態に係るフラッシュモジュールにおいては、インターフェース回路 IF_1 のインターフェースコアブロック IC_1 にバンクアドレス BA を出力する機能を追加し、インターフェース回路 IF_1 にセクタ素子 S_1 とライトイネーブル信号選択回路 WEC_1 とを追加搭載することによって、図8に示される従来のフラッシュメモリと同じ構造の複数のフラッシュメモリを制御することを可能にしている。このため、第1の実施形態に係るフラッシュモジュールによれば、フラッシュメモリ自体の再設計を不要とし、インターフェース回路に簡単な設計変更を施すだけで、フラッシュモジュールのメモリセルアレイの記憶容量の規模を拡大できる。このように、第1の実施形態に係るフラッシュモジュールによれば、回路変更を最小限に抑えているので、フラッシュモジュールの開発を短期間で実施できる。

【0055】

また、第1の実施形態に係るフラッシュモジュールによれば、インターフェース回路に新たに追加する回路も小規模であるため、インターフェース回路のレイアウトサイズの拡大を最小限に抑えることができる。

【 0 0 5 6 】

第 2 の実施形態

図 4 は、本発明の第 2 の実施形態に係るフラッシュモジュールの構成を概略的に示すブロック図である。

【 0 0 5 7 】

フラッシュメモリ FM 1 ～ FM 2 の構成は第 1 の実施形態で説明したものと同一である。フラッシュメモリ FM 1 ～ FM 2 に入出力される外部信号は、第 1 の実施形態で説明したものと同一である。第 2 の実施形態に係るフラッシュモジュール（半導体記憶装置）は、2 個のフラッシュメモリ（メモリバンク）FM 1 ～ FM 2 と、1 個のインターフェース回路 IF 2 とから構成される。

【 0 0 5 8 】

インターフェース回路 IF 2 は、インターフェースコアブロック IC 1 と、ライトイネーブル信号制御回路 WEC 1 と、セレクト素子 S 1 と、ビジー信号制御回路 BC 1 とを有する。インターフェースコアブロック IC 1、ライトイネーブル信号制御回路 WEC 1、及びセレクト素子 S 1 の構成は、第 1 の実施形態で説明したものと同一である。

【 0 0 5 9 】

ビジー信号制御回路 BC 1 は、NOR 素子 NOR 3 と、インバータ素子 INV 4 とで構成されている。ビジー信号 BUSY 1 ～ BUSY 2 がそれぞれ NOR 素子 NOR 3 の入力端子に入力され、NOR 素子 NOR 3 の出力がノード N 4 を介してインバータ素子 INV 4 の入力端子に入力される。インバータ素子 INV 4 の出力端子から出力されたビジー信号 BUSY は、インターフェースコアブロック IC 1 に入力される。インターフェース回路 IF 2 は、一方のフラッシュメモリ FM 1 又は FM 2 が書き換え動作中であって、そのビジー信号 BUSY 1 又は BUSY 2、及び、ビジー信号 BUSY が電源電位 V d d であっても、ビジー信号を電源電位 V d d にしていない他方のフラッシュメモリに対して書き換え動作のためのアクセスができるように構成されている。

【 0 0 6 0 】

第 2 の実施形態に係るフラッシュモジュールにおけるデータの読み出し動作は

、第 1 の実施形態に係るフラッシュモジュールにおけるデータの読み出し動作を同じである。

【 0 0 6 1 】

図 5 は、第 2 実施形態に係るフラッシュモジュールにおける書き換え動作を説明するためのタイミングチャートである。ここではフラッシュメモリ FM 1 の任意アドレスのセクタにおけるメモリセルのデータを書き換えた後、フラッシュメモリ FM 2 の任意アドレスのセクタにおけるメモリセルのデータを書き換える動作を説明する。

【 0 0 6 2 】

図 5 に示されるように、初期状態においてバンクアドレス群 BA は電源電位 V_{dd} であり、ライトイネーブル信号 WEB は電源電圧 V_{dd} であり、ビジー信号 BUSY 1 ~ BUSY 2 は接地電位 V_{ss} であり、セクタアドレス群 SA 及び Y アドレス群 YA は任意のアドレスを選択しており、入力データ群 DI は任意のデータである。また、ノード N 1 ~ N 3 はともに接地電位 V_{ss} であり、ライトイネーブル信号 WEB 1 ~ WEB 2 はともに電源電位 V_{dd} である。また、ノード N 4 は電源電位 V_{dd} であり、ビジー信号 BUSY は接地電位 V_{ss} である。書き換え動作期間（書き換え動作モード）中、リードイネーブル信号 REB は電源電位 V_{dd} に保持される。

【 0 0 6 3 】

次に、バンクアドレス群 BA がフラッシュメモリ FM 1 を選択するため接地電位 V_{ss} に切り換わり、ノード N 1 が電源電位 V_{dd} に切り換わり、セクタアドレス群 SA が書き換えを実行するセクタ（ワード線）のアドレスに切り換わり、Y アドレス群 YA が最初にデータをロードするデータレジスタブロック DR 1 ~ DR 4 のラッチ回路のアドレスに切り換わる（時点 t₂₁）。

【 0 0 6 4 】

バンクアドレス群 BA 及びセクタアドレス群 SA はロード期間中、この状態を保持する。ライトイネーブル信号 WEB が接地電位 V_{ss} になると、ノード N 2 が電源電位 V_{dd} に切り換わり、ライトイネーブル信号 WEB 1 が接地電位 V_{ss} に切り換わる。このライトイネーブル信号 WEB 1 の立ち下がリエッジでフラ

ッシュメモリFM1の目的のデータレジスタブロックDR1～DR4のラッチ回路が選択され、また入力データ群DIがラッチ回路へロードされるデータになる（時点t22）。

【0065】

次に、ライトイネーブル信号WEBが電源電位Vddに切り換わると、ノードN2が接地電位Vssに切り換わり、ライトイネーブル信号WEB1が電源電位Vddに切り換わる。このライトイネーブル信号WEB1の立ち上がりエッジでフラッシュメモリFM1の入力データ群DIのデータが目的のデータレジスタブロックDR1～DR4のラッチ回路に取り込まれる（時点t23）。

【0066】

次に、Yアドレス群YAが2番目にデータをロードするフラッシュメモリFM1のデータレジスタブロックDR1～DR4のラッチ回路のアドレスを選択するとうように、時点t21から時点t23までの動作と同様の動作を全てのデータレジスタブロックDR1～DR4のラッチ回路に対し、例えば、512サイクル実行する。

【0067】

フラッシュメモリFM1の全てのデータレジスタブロックDR1～DR4のラッチ回路へのデータロードが終了すると、フラッシュメモリFM1自体が自動的にデータレジスタブロックDR1～DR4のデータをセクタアドレス群SAで選択された全てのメモリセルに対して書き換え動作を開始し、ビジー信号BUSY1が電源電位Vddに切り換わり、ビジー信号制御回路BC1のノードN4が接地電位Vssに切り換わり、ビジー信号BUSYが電源電位Vddに切り換わる（時点t24）。

【0068】

次に、フラッシュメモリFM2を選択するため、バンクアドレス群BAが電源電位Vddに切り換わり、ノードN1が接地電位Vssに切り換わり、セクタアドレス群SAが書き換えを実行するセクタ（ワード線）のアドレスに切り換わり、Yアドレス群YAが最初にデータをロードするデータレジスタブロックDR1～DR4のラッチ回路のアドレスに切り換わる（時点t25）。

【 0 0 6 9 】

バンクアドレス群BA及びセクタアドレス群SAはロード期間中、この状態を保持する。ライトイネーブル信号WEBが接地電位Vssに切り換わると、ノードN3が電源電位Vddに切り換わり、ライトイネーブル信号WEB2が接地電位Vssに切り換わる。このライトイネーブル信号WEB2の立ち下がリエッジでフラッシュメモリFM2の目的のデータレジスタブロックDR1～DR4のラッチ回路が選択され、また入力データ群DIがラッチ回路へロードするデータになる（時点t26）。

【 0 0 7 0 】

次に、ライトイネーブル信号WEBが電源電位Vddになると、ノードN3が接地電位Vssに切り換わり、ライトイネーブル信号WEB2が電源電位Vddに切り換わる。このライトイネーブル信号WEB2の立ち上がりエッジでフラッシュメモリFM2の入力データ群DIのデータが目的のデータレジスタブロックDR1～DR4のラッチ回路に取り込まれる（時点t27）。次に、Yアドレス群YAが2番目にデータをロードするフラッシュメモリFM2のデータレジスタブロックDR1～DR4のラッチ回路のアドレスを選択するとういように、時点t25から時点t27までの動作と同様の動作を全てのデータレジスタブロックDR1～DR4のラッチ回路に対し、例えば、512サイクル実行する。

【 0 0 7 1 】

フラッシュメモリFM2の全てのデータレジスタブロックDR1～DR4のラッチ回路へのデータロードが終了すると、フラッシュメモリFM2自体が自動的にデータレジスタブロックDR1～DR4のデータをセクタアドレス群SAで選択された全てのメモリセルに対して書き換え動作を開始し、ビジー信号BUSY2が電源電位Vddに切り換わる。このときビジー信号BUSY1～BUSY2は電源電位Vddであり、ノードN4は接地電位Vssであり、ビジー信号BUSYは電源電位Vddに保持される（時点t28）。

【 0 0 7 2 】

次に、フラッシュメモリFM1の書き換え動作が終了するとビジー信号BUSY1が接地電位Vssに切り換わる。このときビジー信号BUSY1は接地電位

V_{ss}であり、ビジー信号BUSY2は電源電位V_{dd}であり、ノードN4は接地電位V_{ss}であり、ビジー信号BUSYは電源電位V_{dd}に保持される（時点t29）。

【0073】

次に、フラッシュメモリFM2の書き換え動作が終了するとビジー信号BUSY2が接地電位V_{ss}に切り換わる。このときビジー信号BUSY1～BUSY2は接地電位V_{ss}であり、ノードN4は電源電位V_{dd}であり、ビジー信号BUSYは接地電位V_{ss}に切り換わり、フラッシュメモリFM1～FM2への書き換え動作を終了する（時点t30）。

【0074】

以上説明したように、第2の実施形態に係るフラッシュモジュールにおいては、インターフェース回路IF2のインターフェースコアブロックIC1にバンクアドレスBAを出力する機能を追加し、インターフェース回路IF2にセレクト素子S1とライトイネーブル信号選択回路WEC1とを追加搭載することによって、図8に示される従来のフラッシュメモリと同じ構造の複数のフラッシュメモリを制御することを可能にしている。このため、第2の実施形態に係るフラッシュモジュールによれば、フラッシュメモリ自体の再設計を不要とし、インターフェース回路に簡単な設計変更を施すだけで、フラッシュモジュールのメモリセルアレイの記憶容量の規模を拡大できる。このように、第2の実施形態に係るフラッシュモジュールによれば、回路変更を最小限に抑えているので、フラッシュモジュールの開発を短期間で実施できる。

【0075】

また、第2の実施形態に係るフラッシュモジュールによれば、複数のフラッシュメモリFM1～FM2のビジー信号BUSY1～BUSY2をOR（論理和）処理する回路BC1をインターフェース回路IF2に搭載することにより、一方のフラッシュメモリのメモリセルのデータ書き換え中に他方のフラッシュメモリへのデータロード、メモリセルのデータ書き換えの開始が可能となり、LSIテスト等による書き換え試験の試験時間を短縮できる。

【0076】

第 3 の実施形態

図 6 は、本発明の第 3 の実施形態に係るフラッシュモジュールの構成を概略的に示すブロック図である。

【 0 0 7 7 】

フラッシュメモリ FM1 ～ FM2 の構成は第 1 の実施形態で説明したものと同じである。フラッシュメモリ FM1 ～ FM2 に入出力される外部信号は、第 1 の実施形態で説明したものと同じである。第 3 の実施形態に係るフラッシュモジュール（半導体記憶装置）は、2 個のフラッシュメモリ（メモリバンク）FM1 ～ FM2 と、1 個のインターフェース回路 IF3 とから構成される。

【 0 0 7 8 】

インターフェース回路 IF3 は、インターフェースコアブロック IC2 と、ライトイネーブル信号制御回路 WEC2 と、セレクト素子 S1 と、ビジー信号制御回路 BC1 とを有する。

【 0 0 7 9 】

インターフェースコアブロック IC2 は、第 1 又は 2 の実施形態におけるインターフェースコアブロック IC1 にテストモード信号 TEST の出力機能を追加搭載したものである。インターフェースコアブロック IC2 は、ライトイネーブル信号制御回路 WEC2 に、ライトイネーブル信号 WEB、バンクアドレス群 BA、及びテストモード信号 TEST を出力する。インターフェースコアブロック IC2 は、セレクト素子 S1 にバンクアドレス群 BA を出力する。インターフェースコアブロック IC2 は、フラッシュメモリ FM1 ～ FM2 にリードイネーブル信号 REB、セクタアドレス群 SA、Y アドレス群 YA、入力データ群 DI を出力する。インターフェースコアブロック IC2 には、セレクト素子 S1 から出力データ群 DO が入力され、ビジー信号制御回路 BC1 からフラッシュメモリが書き換え動作中であることを示すビジー信号 BUSY が入力される。また、インターフェースコアブロック IC2 には、フラッシュモジュールへの入力信号である外部入力信号 IFIN が入力される。インターフェースコアブロック IC2 は、フラッシュモジュール出力信号である外部出力信号 IFOUT を出力する。

【 0 0 8 0 】

テストモード信号TESTは、LSIテストによるフラッシュメモリの書き換え試験時に接地電位V_{ss}から電源電位V_{dd}へ切り換えが可能な信号である。なお、図6のセレクト素子S1の構成、図6のビジー信号制御回路BC1の構成などは、第2の実施形態の場合と同じである。

【0081】

ライトイネーブル信号制御回路WEC2は、NOR素子NOR4～NOR7と、インバータ素子INV5～INV7とで構成される。テストモード信号TESTがNOR素子NOR4及びNOR6のそれぞれの入力端子の一方に入力され、バンクアドレス群BAがNOR素子NOR6の他方の入力端子とインバータ素子INV5の入力端子に入力される。インバータ素子INV5の出力がノードN5を介してNOR素子NOR4の他方の入力端子に入力され、NOR素子NOR4及びNOR6の出力がそれぞれノードN6及びN8を介してNOR素子NOR5及びNOR7の一方の入力端子に入力される。ライトイネーブル信号WEBがNOR素子NOR5及びNOR7のそれぞれの他方の入力端子に入力され、NOR素子NOR5及びNOR7の出力がそれぞれノードN7及びN9を介してインバータ素子INV6及びINV7の入力端子に入力される。インバータ素子INV6～INV7の出力がそれぞれライトイネーブル信号WEB1～WEB2としてフラッシュメモリFM1～FM2に入力される。

【0082】

また、インターフェース回路IF3は、一方のフラッシュメモリFM1又はFM2が書き換え動作中で、そのビジー信号BUSY1又はBUSY2、及びビジー信号BUSYが電源電位V_{dd}であっても、他方のフラッシュメモリに対して書き換え動作のためのアクセスができるように構成されている。

【0083】

第3の実施形態に係るフラッシュモジュールにおけるデータの読み出し動作は、第1の実施形態に係るフラッシュモジュールにおけるデータの読み出し動作と同じである。

【0084】

図7は、図6のフラッシュモジュールにおける書き換え動作を説明するための

タイミングチャートである。ここではフラッシュメモリ FM1～FM2 の同一データ、同時書き換えの動作を任意アドレスのセクタにおけるメモリセルの書き換えを例にして説明する。

【 0 0 8 5 】

図 7 に示されるように、初期状態においてライトイネーブル信号 WEB は電源電圧 V_{dd} であり、ビジー信号 BUSY1～BUSY2 は接地電位 V_{ss} であり、テストモード信号 TEST は電源電位 V_{dd} であり、セクタアドレス群 SA 及び Y アドレス群 YA は任意のアドレスを選択しており、入力データ群 DI は任意のデータである。また、ノード N6 及び N8 は接地電位 V_{ss} であり、ノード N7 及び N9 は接地電位 V_{ss} であり、ライトイネーブル信号 WEB1～WEB2 はともに電源電位 V_{dd} である。ノード N4 は電源電位 V_{dd} であり、ビジー信号 BUSY は接地電位 V_{ss} である。バンクアドレス群 BA は電源電位 V_{dd} 又は接地電位 V_{ss} のいずれでもよい。書き換え動作期間（書き換え動作モード）中、リードイネーブル信号 REB 及びテストモード信号 TEST は電源電位 V_{dd} に保持される。

【 0 0 8 6 】

次に、セクタアドレス群 SA が書き換えを実行するセクタ（ワード線）のアドレスに切り換わり、Y アドレス群 YA が最初にデータをロードするデータレジスタブロック DR1～DR4 のラッチ回路のアドレスに切り換わる（時点 t31）。

【 0 0 8 7 】

バンクアドレス群 BA 及びセクタアドレス群 SA はロード期間中、この状態を保持する。ライトイネーブル信号 WEB が接地電位 V_{ss} になると、ノード N7 及び N9 が電源電位 V_{dd} に切り換わり、ライトイネーブル信号 WEB1～WEB2 がともに接地電位 V_{ss} に切り換わる。このライトイネーブル信号 WEB1～WEB2 の立ち下がりエッジでフラッシュメモリ FM1～FM2 のそれぞれの目的のデータレジスタブロック DR1～DR4 のラッチ回路が選択され、また入力データ群 DI がラッチ回路へロードするデータになる（時点 t32）。このときフラッシュメモリ FM1～FM2 のそれぞれにロードされるデータは同一デー

タである。

【0088】

次に、ライトイネーブル信号WEBが電源電位V_{dd}に切り換わると、ノードN7及びN9が接地電位V_{ss}に切り換わり、ライトイネーブル信号WEB1～WEB2がともに電源電位V_{dd}に切り換わる。このライトイネーブル信号WEB1～WEB2の立ち上がりエッジでフラッシュメモリFM1～FM2のそれぞれの入力データ群DIのデータが目的のデータレジスタブロックDR1～DR4のラッチ回路に取り込まれる（時点t33）。

【0089】

次に、Yアドレス群YAが2番目にデータをロードするフラッシュメモリFM1～FM2のデータレジスタブロックDR1～DR4のラッチ回路のアドレスを選択するとういように、時点t31から時点t33までの動作と同様の動作を全てのデータレジスタブロックDR1～DR4のラッチ回路に対して、例えば、512サイクル実行する。

【0090】

フラッシュメモリFM1～FM2の全てのデータレジスタブロックDR1～DR4のラッチ回路へのデータロードが終了すると、フラッシュメモリFM1～FM2自体が自動的にデータレジスタブロックDR1～DR4のデータをセクタアドレス群SAで選択された全てのメモリセルに対して書き換え動作を開始し、ビジー信号BUSY1～BUSY2が電源電位V_{dd}に切り換わり、ビジー信号制御回路BC1のノードN4が接地電位V_{ss}に切り換わり、ビジー信号BUSYが電源電位V_{dd}に切り換わる（時点t34）。

【0091】

書き換え動作が終了するとビジー信号BUSY1～BUSY2が接地電位V_{ss}に切り換わり、ノードN4が電源電位V_{dd}に切り換わり、ビジー信号BUSYが接地電位V_{ss}に切り換わり、フラッシュメモリFM1～FM2への書き換え動作を終了する（時点t35）。

【0092】

また、テストモード信号TESTを接地電位V_{ss}にして書き換え動作を実行

する場合、ライトイネーブル信号制御回路WEC2は第2の実施形態のライトイネーブル信号制御回路WEC1と同論理となるため、第2の実施形態で説明した動作も可能である。この場合には、第2の実施形態の場合と同様の効果が得られる。

【0093】

以上説明したように、第3の実施形態に係るフラッシュモジュールにおいては、インターフェース回路IF3のインターフェースコアブロックIC2にバンクアドレスBAを出力する機能を追加し、インターフェース回路IF3にセレクト素子S1とライトイネーブル信号選択回路WEC2とを追加搭載することによって、図8に示される従来のフラッシュメモリと同じ構造の複数のフラッシュメモリを制御することを可能にしている。このため、第3の実施形態に係るフラッシュモジュールによれば、フラッシュメモリ自体の再設計を不要とし、インターフェース回路に簡単な設計変更を施すだけで、フラッシュモジュールのメモリセルアレイの記憶容量の規模を拡大できる。このように、第2の実施形態に係るフラッシュモジュールによれば、回路変更を最小限に抑えているので、フラッシュモジュールの開発を短期間で実施できる。

【0094】

また、第3の実施形態においては、LSIテストによる書き換え試験時に接地電位Vssから電源電位Vddへ切り換え可能なテストモード信号TESTを電源電位Vddに切り換えることにより、全てのライトイネーブル信号WEB1～WEB2を活性化させる回路WEC2を搭載することにより、LSIテストによる書き換え試験時に搭載している複数のフラッシュメモリ全てに対し同一データの同時書き込みが可能となり、書き換え試験の試験時間を短縮できる。

【0095】

また、テストモード信号TESTを接地電位Vssにして書き換えを実行する場合、複数のフラッシュメモリへそれぞれ異なるデータの書き換え動作を実行し、一方のフラッシュメモリのメモリセルのデータ書き換え中に他方のフラッシュメモリへのデータロード、メモリセルのデータ書き換えの開始が可能となり、LSIテスト等による書き換え試験の試験時間を短縮できる。

【 0 0 9 6 】

なお、上記第 1 から第 3 までの実施形態においては、フラッシュ混載 L S I におけるフラッシュメモリとインターフェース回路の構成方法について述べたが、これに限らず D R A M、S R A M 等のメモリとそのインターフェース回路の構成に対しても応用可能である。

【 0 0 9 7 】

また、上記第 1 から第 3 までの実施形態においては、2 個のフラッシュメモリとフラッシュメモリのインターフェース回路の構成方法について述べたが、これ以外の複数個のフラッシュメモリとインターフェース回路の構成方法に対しても応用可能である。

【 0 0 9 8 】

【発明の効果】

以上説明したように、本発明によれば、インターフェース回路に簡単な回路を追加するだけで、従来のメモリバンクと同じ構造の複数個のメモリバンクを制御することを可能にしている。このため、本発明によれば、メモリバンク自体の再設計を不要とし、インターフェース回路に簡単な設計変更を施すだけで、メモリバンクのメモリセルアレイの記憶容量の規模を拡大できる。このように、本発明によれば、回路変更を最小限に抑えているので、半導体記憶装置の開発を短期間で実施できるという効果がある。

【 0 0 9 9 】

また、本発明において、テストモードにおいて全てのライトイネーブル信号をアクティブ状態にすることができる機能を備えた場合には、複数のメモリバンク全てに対し同一データの同時書き込みが可能となり、書き換え試験の試験時間を短縮できるという効果がある。

【 0 1 0 0 】

さらにまた、本発明において、テストモードにおいて、いずれかのメモリバンクがビジー信号をアクティブ状態にしているとしても、ビジー信号をアクティブにしている他のメモリバンクにアクティブ状態のライトイネーブル信号を出力することができる機能を備えた場合には、一方のメモリバンクのメモリセルのデータ書

き換え中に他方のメモリバンクへのデータロード、メモリセルのデータ書き換えの開始が可能となり、L S I テスタ等による書き換え試験の試験時間を短縮できるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係るフラッシュモジュールの構成を概略的に示すブロック図である。

【図 2】 図 1 のフラッシュモジュールにおける読み出し動作を説明するためのタイミングチャートである。

【図 3】 図 1 のフラッシュモジュールにおける書き換え動作を説明するためのタイミングチャートである。

【図 4】 本発明の第 2 の実施形態に係るフラッシュモジュールの構成を概略的に示すブロック図である。

【図 5】 図 4 のフラッシュモジュールにおける書き換え動作を説明するためのタイミングチャートである。

【図 6】 本発明の第 3 の実施形態に係るフラッシュモジュールの構成を概略的に示すブロック図である。

【図 7】 図 6 のフラッシュモジュールにおける書き換え動作を説明するためのタイミングチャートである。

【図 8】 従来のフラッシュモジュールの構成を概略的に示すブロック図である。

【図 9】 図 8 のフラッシュモジュールにおける読み出し動作を説明するためのタイミングチャートである。

【図 1 0】 図 8 のフラッシュモジュールにおける書き換え動作を説明するためのタイミングチャートである。

【符号の説明】

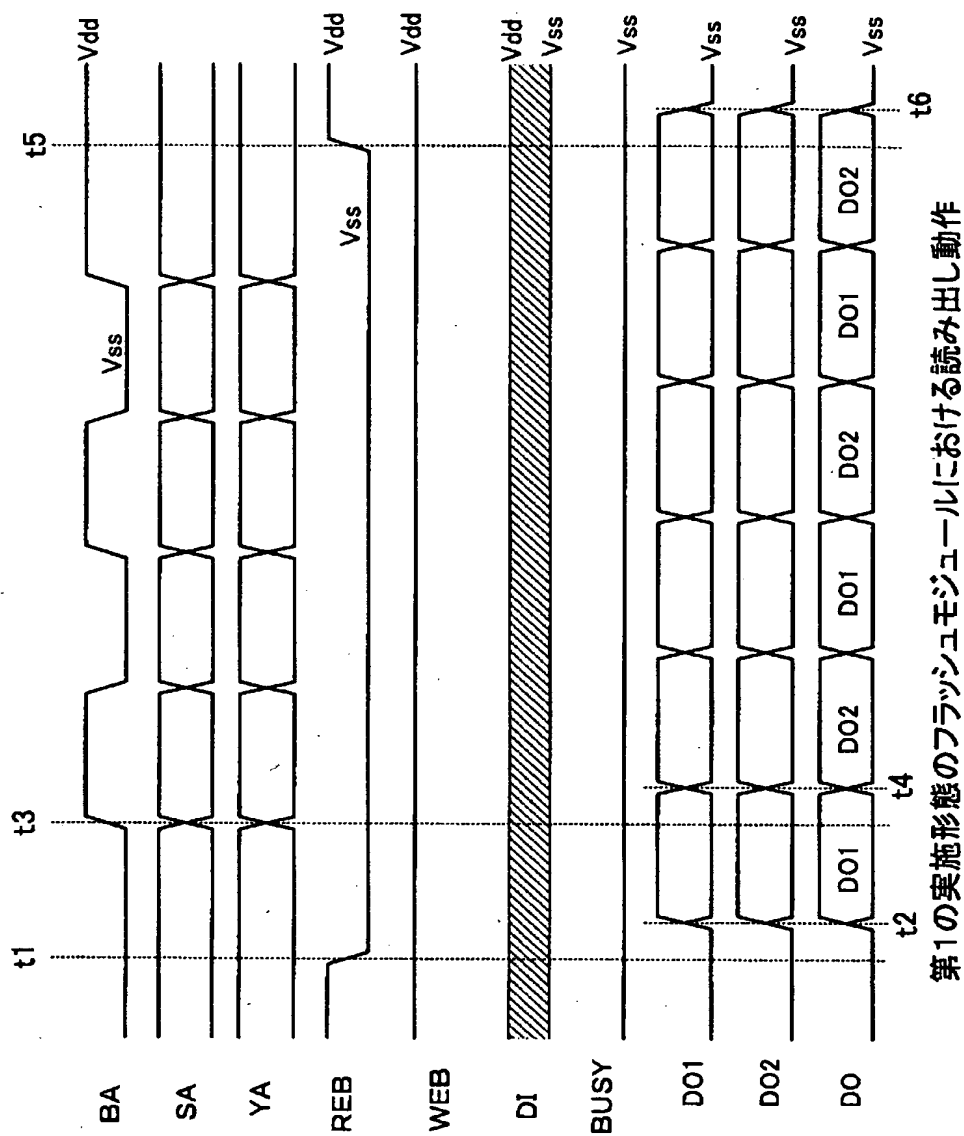
FM 1, FM 2 フラッシュメモリ、
MC 1 ~ MC 4 メモリセルアレイ、
XD 1 ~ XD 4 X デコーダブロック、
YD 1 ~ YD 4 Y デコーダブロック、

YG1～YG4 Yゲートブロック、
 DR1～DR4 データレジスタブロック、
 C1 コントロールブロック、
 SAB セクタアドレス入力バッファ、
 YAB Yアドレス入力バッファ、
 DIB データ入力バッファ、
 DOB データ出力バッファ、
 IF1～IF3 インターフェース回路、
 IC1, IC2 インターフェースコアブロック、
 WEC1, WEC2 ライトイネーブル信号制御回路、
 S1 セレクト素子、
 S2 セレクト素子、
 BC1 ビジー制御回路、
 IFIN 入力信号、
 IFOUT 出力信号、
 DI フラッシュメモリに入力される入力データ群、
 DO インターフェースコアブロックに入力される出力データ群
 DO1 フラッシュメモリFM1から出力される出力データ群、
 DO2 フラッシュメモリFM2から出力される出力データ群、
 WEB インターフェースコアブロックから出力されるライトイネーブル信号

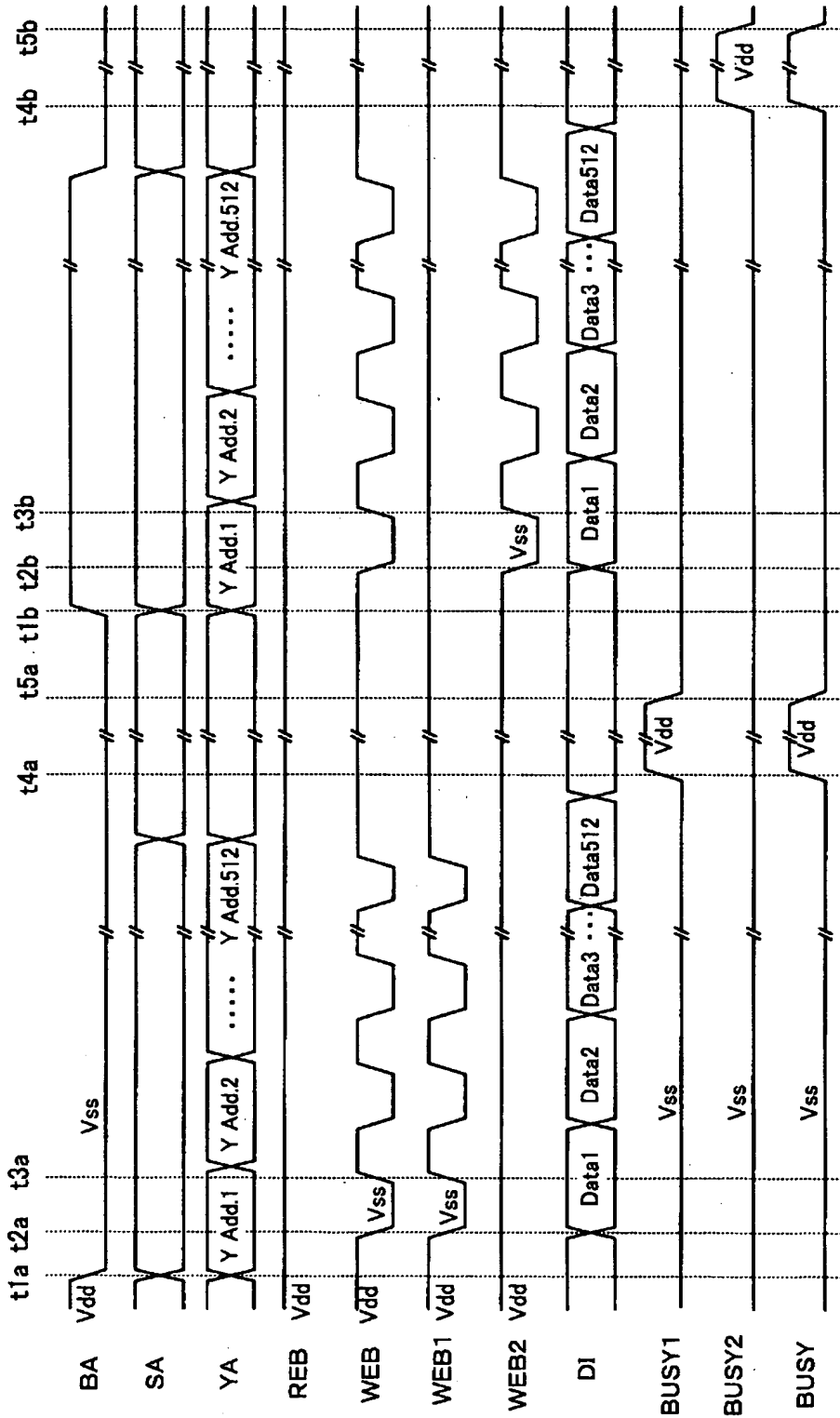
 WEB1 フラッシュメモリFM1に入力されるライトイネーブル信号、
 WEB2 フラッシュメモリFM2に入力されるライトイネーブル信号、
 REB リードイネーブル信号、
 BUSY インターフェースコアブロックに入力されるビジー信号、
 BUSY1 フラッシュメモリFM1から出力されるビジー信号、
 BUSY2 フラッシュメモリFM2から出力されるビジー信号、
 BA インターフェースコアブロックから出力されるバンクアドレス信号、
 TEST インターフェースコアブロックから出力されるテスト信号、

CO 内部制御信号群、
SA セクタアドレス群、
SABO 内部セクタアドレス群、
YA Yアドレス群、
YABO 内部Yアドレス群、
DOBI 内部出力データ群。

【圖 2】

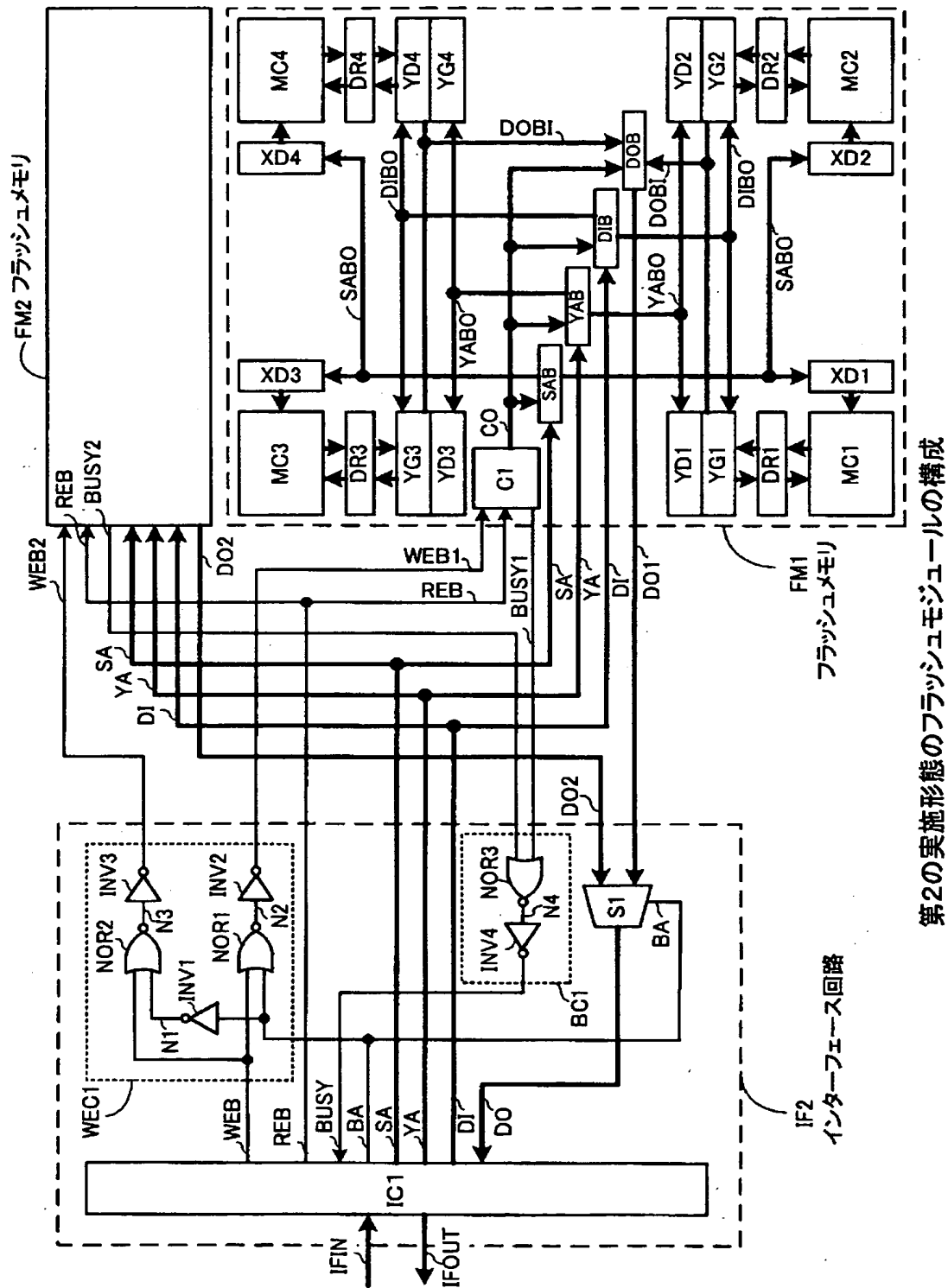


【図 3】



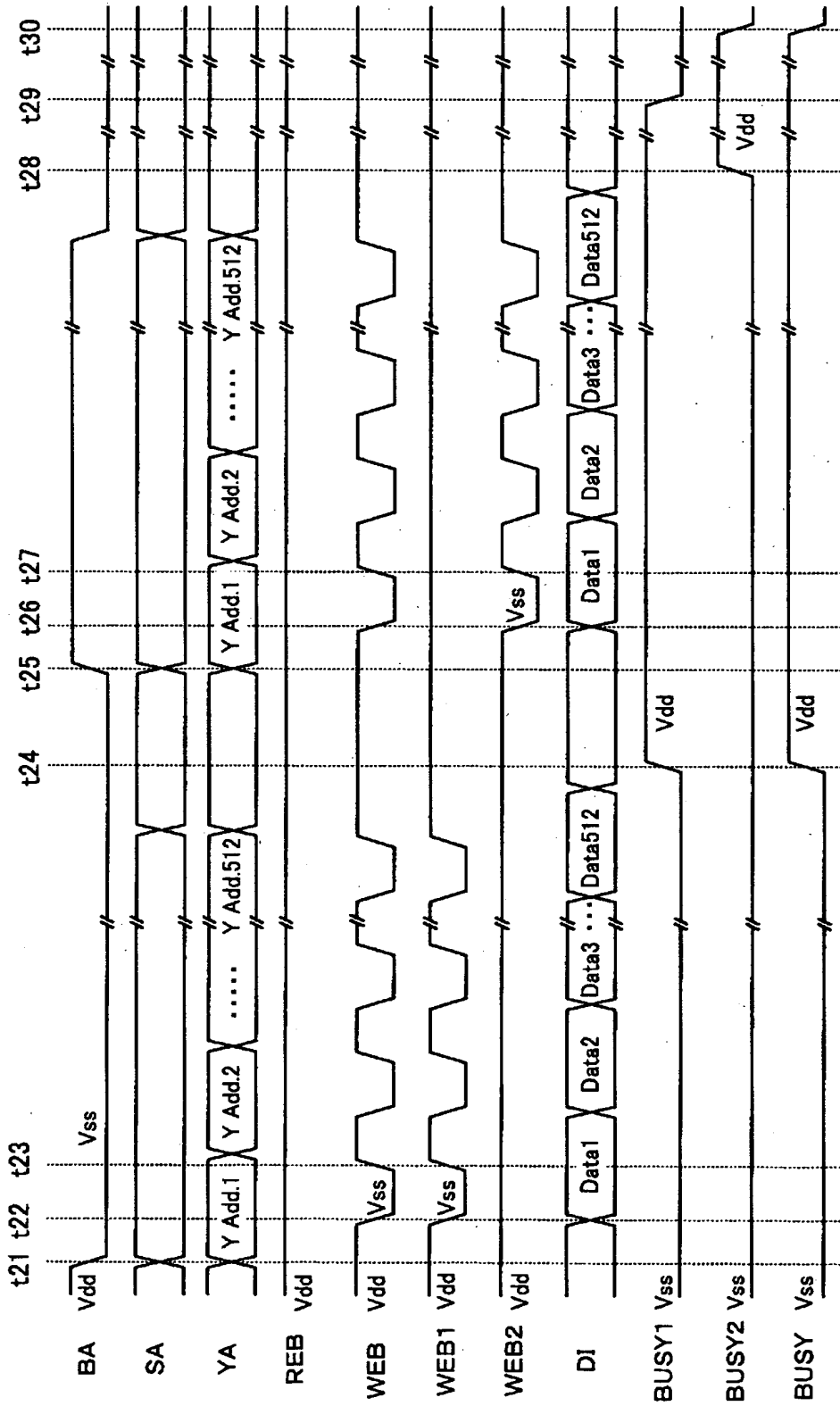
第1の実施形態のフラッシュメモジュールにおける書き換え動作

【図4】



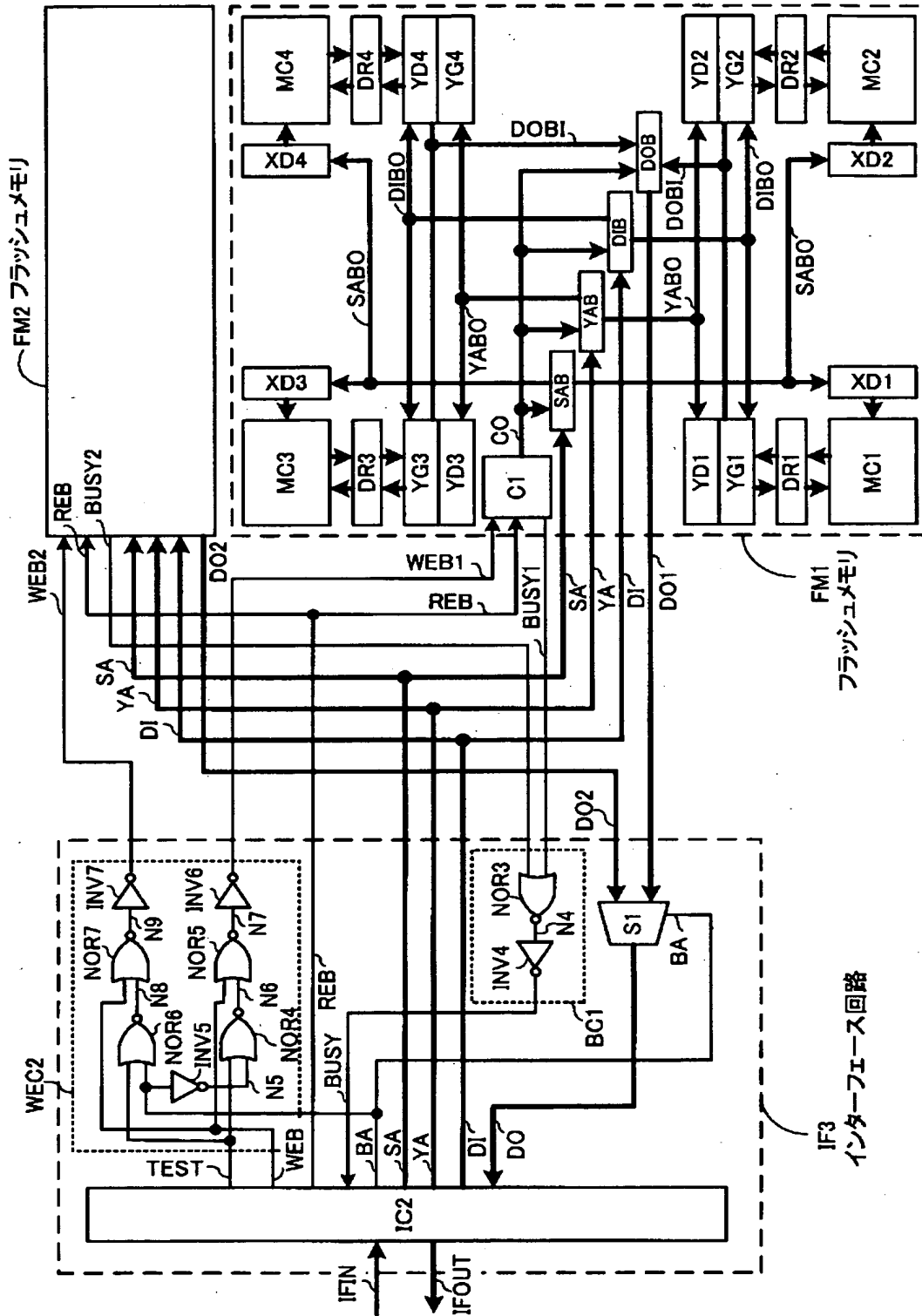
第2の実施形態のフラッシュモジュールの構成

【図 5】



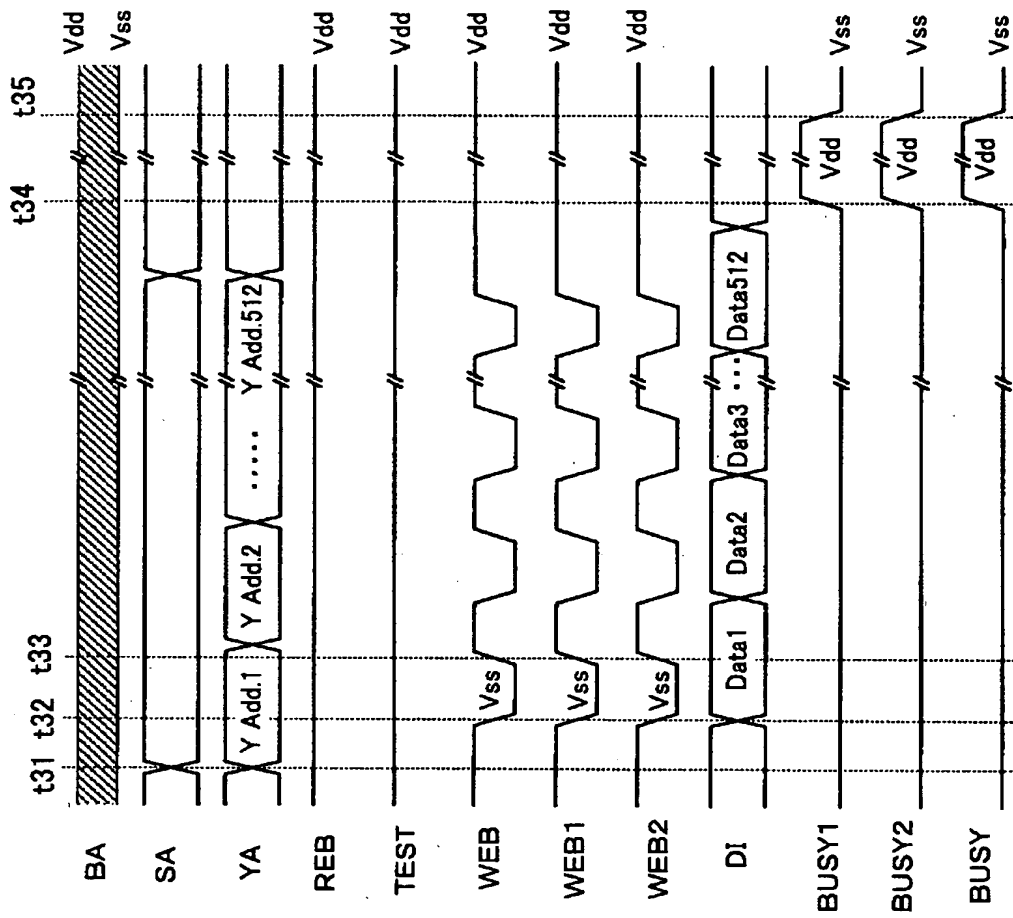
第2の実施形態のフラッシュモジュールにおける書き換え動作

【図 6】



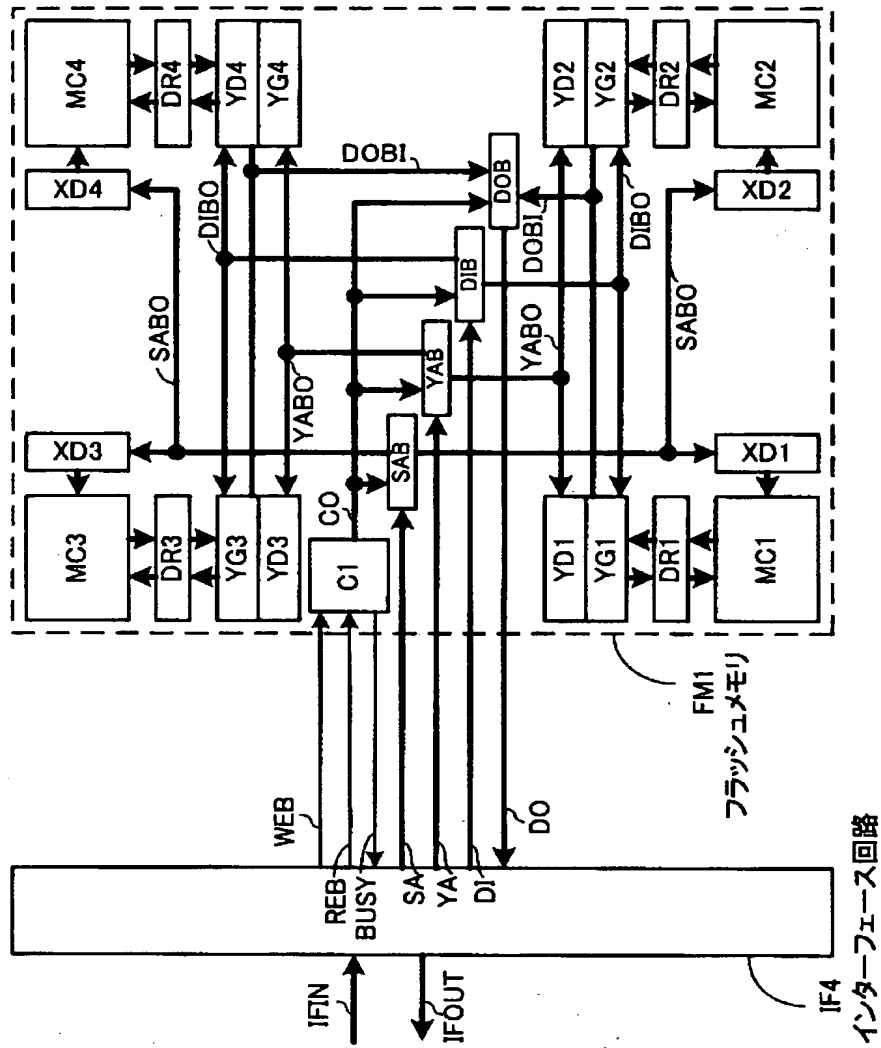
第3の実施形態のフラッシュモジュールの構成

【図7】



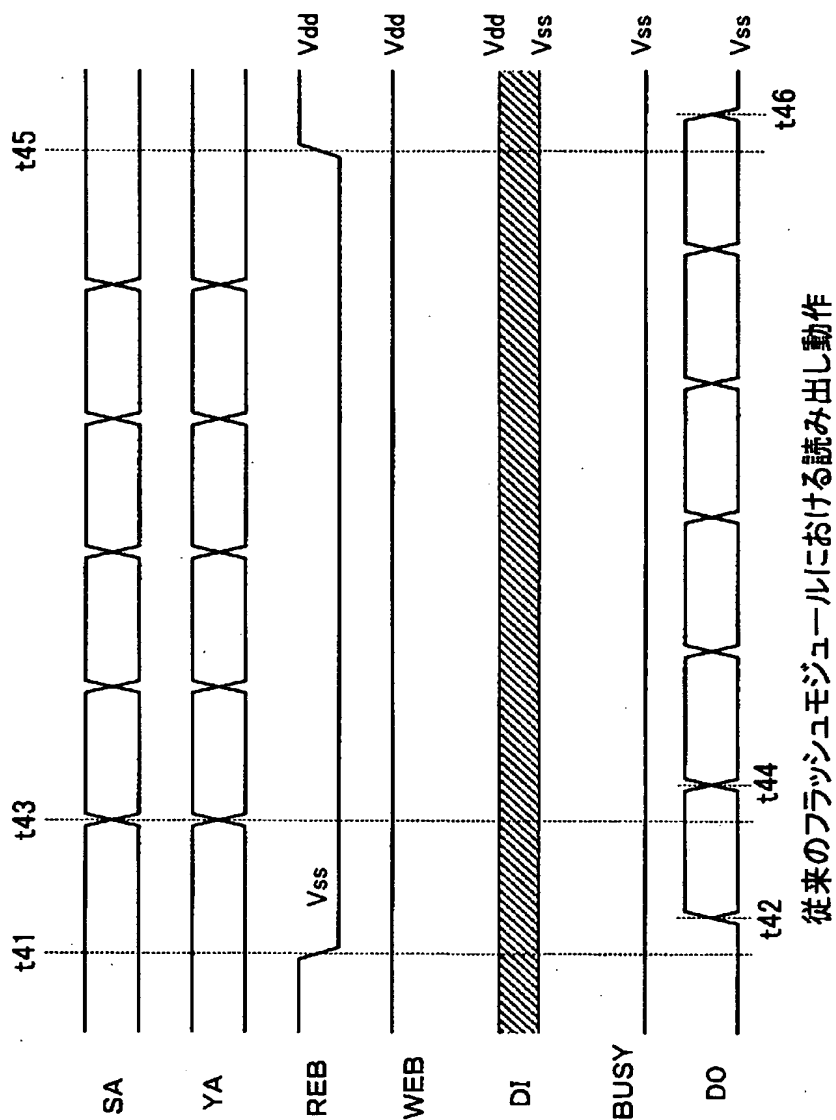
第3の実施形態のフラッシュメモジュールにおける書き換え動作

【図 8】

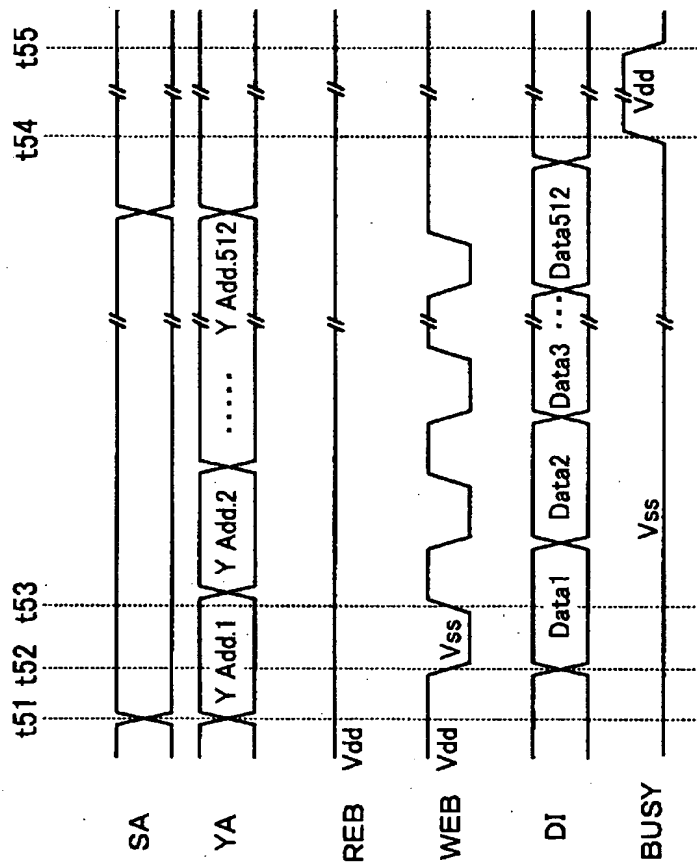


従来のフラッシュメモリの構成

【図9】



【図 1 0】



従来のフラッシュメモジュールにおける書き換え動作

【書類名】 要約書

【要約】

【課題】 メモリブロックの再設計が不要で、インターフェース回路に簡単な設計変更を施すだけで記憶容量の規模拡大ができる半導体記憶装置を提供する。

【解決手段】 フラッシュメモリFC1～FC2とインターフェース回路IF1とを有する。読み出し時には、フラッシュメモリFC1～FC2のそれぞれが入力されたアドレス情報で特定されたメモリセルのデータを読み出し、読み出されたデータを出力データ群とDO1～DO2してインターフェース回路IF1に出力し、ここで選択的に外部に出力する。書き換え時には、インターフェース回路IF1が、フラッシュメモリFC1～FC2のいずれかに選択的にアクティブ状態のライトイネーブル信号を出力し、アクティブ状態のライトイネーブル信号が入力されたフラッシュメモリFC1又はFC2が、アドレス情報で特定されたメモリセルのデータを入力データ群のデータに書き換える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社